

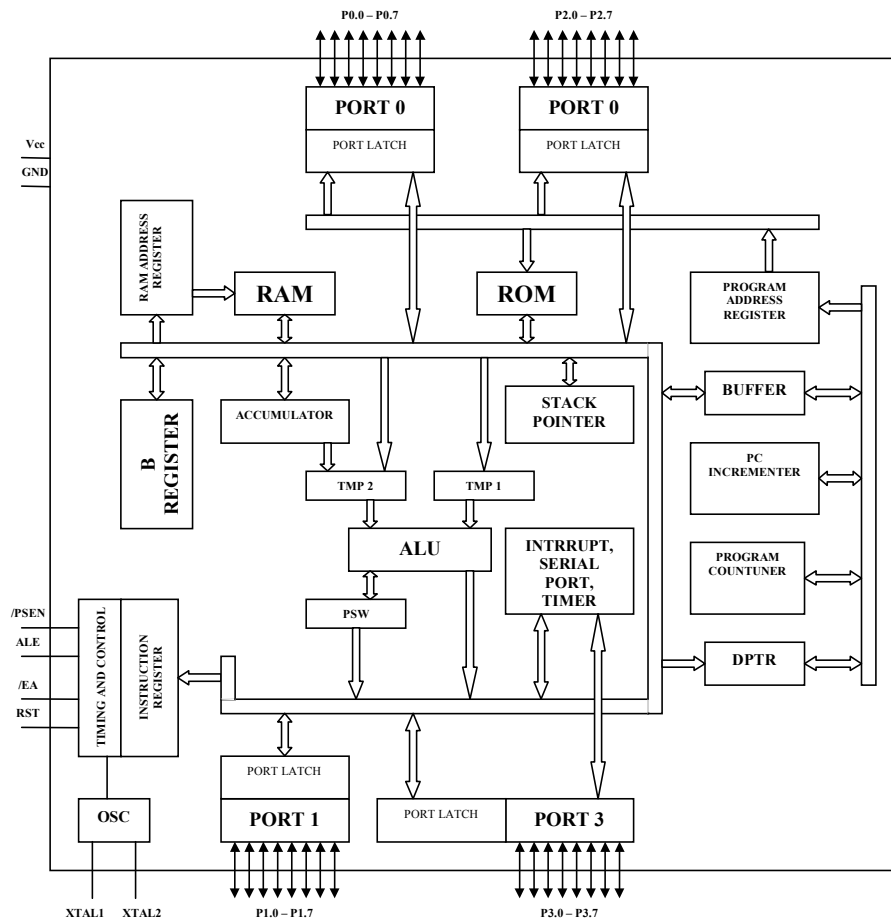
## 1.1 MIKROKONTROLER 8051

### 1.1.1 Informacje ogólne

Układ 8051 jest jednoukładowym, 8 – bitowym mikrokontrolerem o rozbudowanych zasobach wewnętrznych, tj.: programowalne układy czasowo – licznikowe, układ transmisji szeregowej, układ przerwań, wewnętrzna pamięć programu i danych. 16 – bitowa szyna adresowa pozwala na dołączenie zewnętrznych pamięci danych o pojemności 64kB i pamięci programu również o pojemności 64kB.

W związku z multipleksowaniem szyny adresowej A0 – A7 i szyny danych, mikrokontroler musi generować dodatkowy sygnał sterujący zewnętrznym buforem zatraskowym – ALE. Sygnał ten jest generowany podczas pobierania każdego słowa rozkazu dwukrotnie w każdym cyklu maszynowym. Wyjątek stanowią rozkazy MOVX oraz MOVC przy dostępie do zewnętrznej pamięci programu realizujący dostęp do pamięci zewnętrznej. Instrukcja ta jest jednobajtowa, wykonywana w dwóch cyklach maszynowych. W pierwszym cyklu następuje odczyt kodu instrukcji (pierwszy sygnał ALE) oraz ustawienie adresu żądanej komórki pamięci (drugi sygnał ALE). W drugim cyklu maszynowym następuje odczyt/ zapis szyny danych – nie może wówczas wystąpić sygnał ALE, gdyż zniszczyłby on wcześniej ustawiony adres komórki pamięci.

Czas trwania cyklu maszynowego wynosi 12 taktów zegara, co dla częstotliwości rezonatora równej 12MHz daje czas 1 $\mu$ s. Czas wykonywania instrukcji wynosi jeden, dwa lub cztery cykle maszynowe, w zależności od instrukcji.



Rys. 1.1 Schemat blokowy mikrokontrolera 8051

### 1.1.2 Jednostka arytmetyczno – logiczna

Z jednostką arytmetyczno – logiczną współpracują dwa rejestry bloku rejestrów specjalnych: akumulator (ACC) – E0h i rejestr B – F0h. Akumulator najczęściej zawiera jeden z operandów i zapisywany jest w nim wynik operacji, rejestr B jest natomiast wykorzystywany przy operacjach mnożenia i dzielenia.

Jednostka arytmetyczno – logiczna może wykonywać następujące operacje za argumentach ośmiobitowych: dodawanie, dodawanie z przeniesieniem, odejmowanie z pożyczką, inkrementacja, dekrementacja, mnożenie w naturalnym kodzie binarnym dające 16 – bitowy wynik, dzielenie w naturalnym kodzie binarnym dające 8 – bitowy wynik i 8 bitową resztę, iloczyn logiczny, suma logiczna, suma modulo 2, zerowanie i negacja akumulatora.

Jednostka arytmetyczno – logiczna może wykonywać operacje logiczne również na pojedynczych bitach. Dla tych operacji akumulatorem jest bit przeniesienia C – D7h słowa stanu

PSW – D0h. Rejestr specjalny PSW bezpośrednio współpracuje z jednostką arytmetyczno – logiczną. Jego zawartość opisuje cechy wyniku ostatnio wykonywanej operacji.

Tab. 1.1 Bity rejestru specjalnego PSW

Nr bitu	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Symbol	C	AC	F0	RS1	RS0	OV	-	P
Adres	D7h	D6h	D5h	D4h	D3h	D2h	D1h	D0h

**P** – znacznik parzystości

**OV** – znacznik przepełnienia dla dodawania i odejmowania w kodzie U2

**RS0** i **RS1** – bity wyboru bloku rejestrów roboczych

**F0** – znacznik uniwersalny (do dowolnego wykorzystania)

**AC** – znacznik przeniesienia połówkowego

**C** – znacznik przeniesienia

### 1.1.3 Pamięć danych i pamięć programu

Mikrokontroler 8051 posiada obszar 4kB pamięci programu ROM programowanej maską i 256 bajtową przestrzeń adresową pamięci RAM. Wewnętrzna pamięć danych RAM podzielona jest na dwa bloki:

- dolna pamięć RAM zawierająca obszar czterech banków pamięci, obszar bitów adresowanych bezpośrednio i ciągły obszar pamięci RAM tzw. obszar użytkownika oraz
- górna pamięć RAM zawierająca obszar rejestrów specjalnych.

W obszarze zarezerwowanym dla czterech banków pamięci umieszczany jest stos programu. Może on być umieszczony w dowolnym miejscu, przez zapis odpowiedniego adresu do rejestru SP o adresie 81h, będącego wskaźnikiem stosu. Wykonanie resetu mikrokontrolera ustawia wartość początkową wskaźnika stosu SP równą 07h. SP należy do bloku rejestrów specjalnych, a jego zawartość wskazuje na ostatnie zajęte słowo stosu. Wskaźnik stosu jest inkrementowany przed każdym zapisem na stos poleceniem: PUSH A

i dekrementowany po każdym odczycie poleceniem POP A.

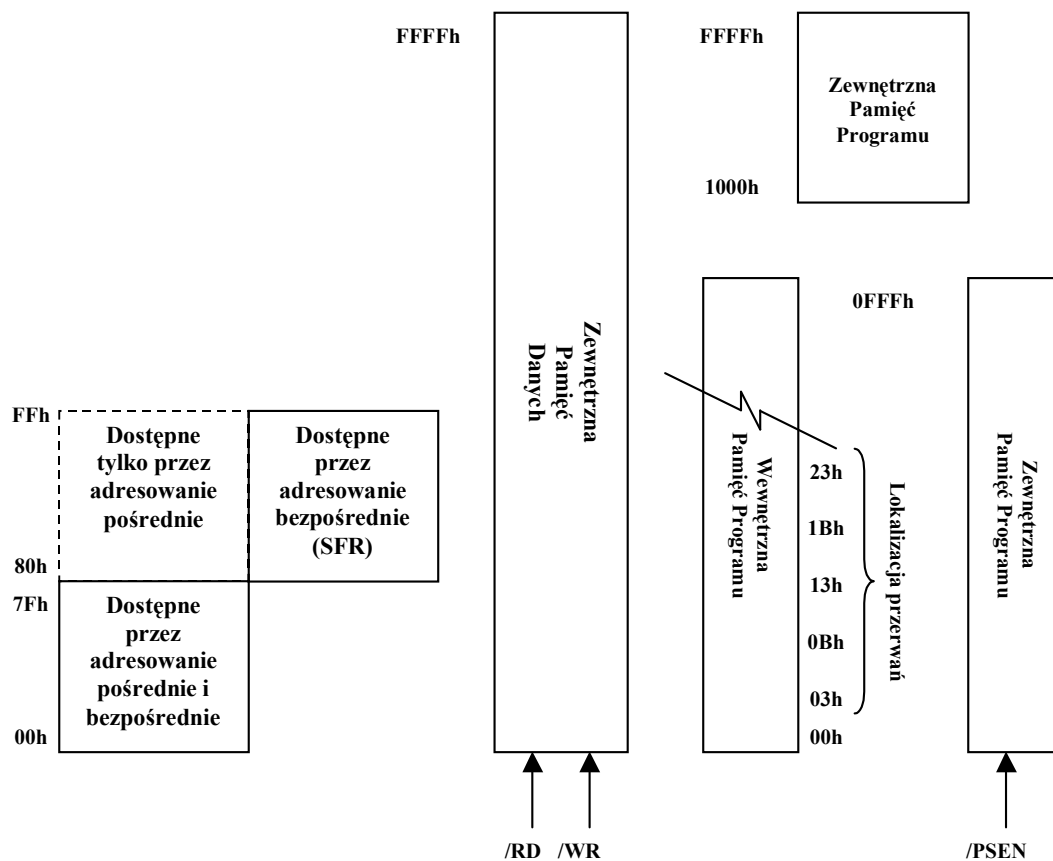
Oprócz pamięci wewnętrznej danych możliwe jest dołączenie do mikrokontrolera zewnętrznej pamięci danych o pojemności do 64kB. Ponieważ mikrokontroler nie posiada osobnych rozkazów do dostępu do urządzeń wejścia – wyjścia, to w obszarze adresowym 64kB zewnętrznej pamięci danych mogą być również umieszczane rejestry dołączanych do systemu urządzeń wejścia – wyjścia.

Pamięć programu przechowuje kody operacji przeznaczonych do wykonania przez mikroprocesor, może także służyć do przechowywania stałych używanych w programie. Pamięć programu adresowana jest przez 16-bitowy licznik rozkazów (PC). Mikrokontroler 8051 może także korzystać z zewnętrznej pamięci programu o pojemności do 64kB. To, z której z tych pamięci pobierane są rozkazy zależy od stanu wyprowadzenia /EA. W przypadku korzystania tylko z wewnętrznej pamięci programu, wyprowadzenie /EA musi być ustawione w stan wysoki, przez połączenie tego wyprowadzenia z zasilaniem układu (przed rozpoczęciem pracy układu). Jeśli pojemność wewnętrznej pamięci programu jest niewystarczająca, część programu może być umieszczona w pamięci zewnętrznej. Wówczas dopóki wartość licznika rozkazów nie przekracza rozmiaru wewnętrznej pamięci programu, rozkazy pobierane są z pamięci wewnętrznej. Przekroczenie przez licznik rozkazów wartości 0FFFFH powoduje pobieranie rozkazów z zewnętrznej pamięci programu. Jeśli mikrokontroler ma korzystać wyłącznie z zewnętrznej pamięci programu, wyprowadzenie /EA musi być ustawione w stan niski, przez zwarcie tego wyprowadzenia z masą układu.

PC zawiera adres aktualnego rozkazu przeznaczonego do wykonania. Rozkaz ten jest pobierany z pamięci do rejestru rozkazów (istnieje możliwość odczytu wartości tego rejestru, ale nie jest on dostępny dla zapisu). Na podstawie zawartości rejestru rozkazów, dekodery rozkazów steruje wyborem źródła argumentu, miejsca umieszczenia wyniku, funkcjami jednostki arytmetyczno – logicznej itp. – w ten sposób mikroprocesor wykonuje zadaną operację. Jeżeli nie jest wykonywany rozkaz skoku, to zawartość licznika rozkazów jest inkrementowana po odczycie każdego bajtu z pamięci programu. Reset mikrokontrolera powoduje ustawienie licznika rozkazów w stan 0000h.

**a)**

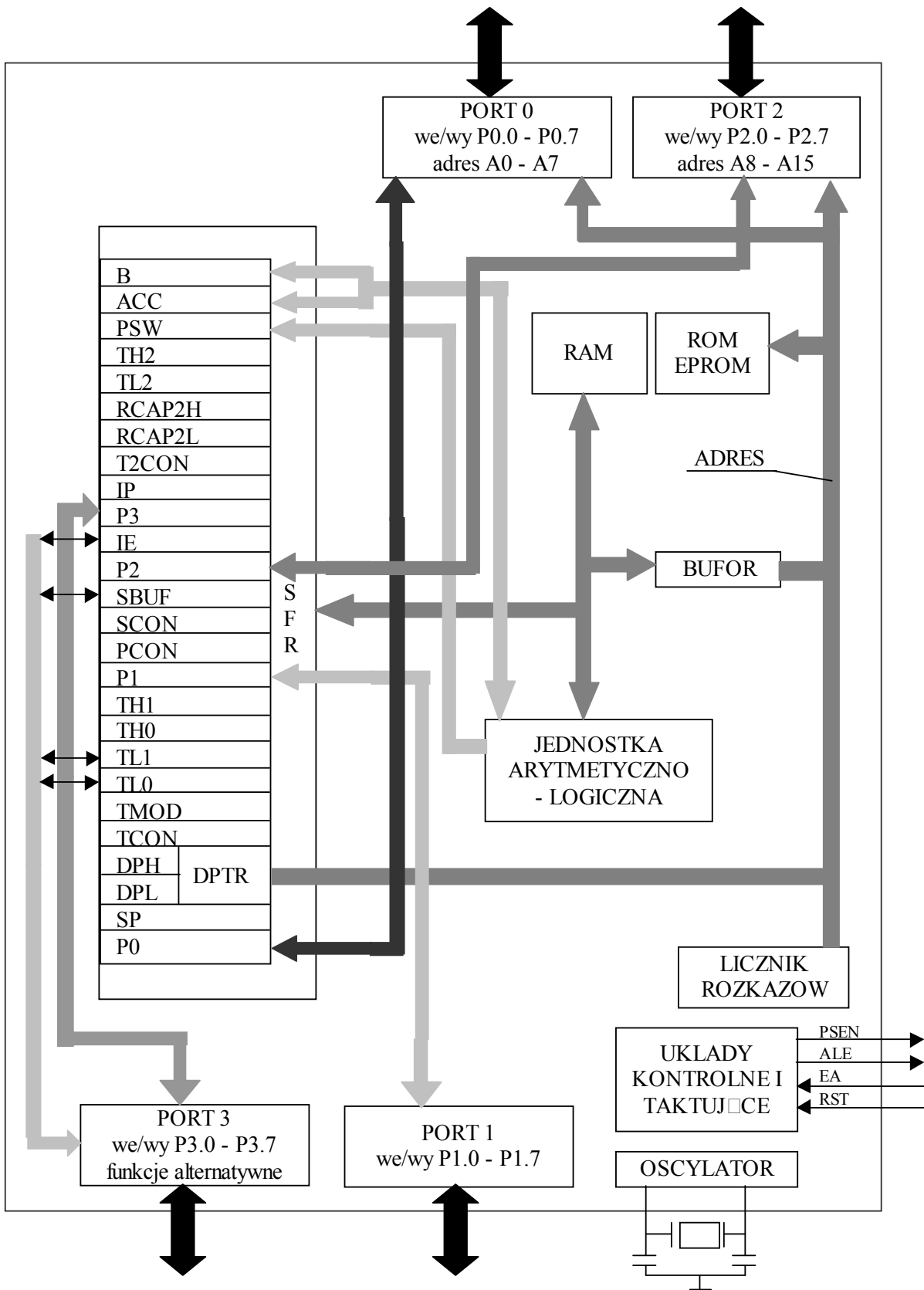
**b)**



Rys. 1.2 Mapy pamięci mikrokontrolera 8051 a) pamięci danych, b) pamięci programu

#### 1.1.4 Blok rejestrów specjalnych

Blok rejestrów specjalnych (SFR) znajduje się w obszarze pamięci danych mikrokontrolera o adresach 128 – 240 (80h – F0h). Obszar rejestrów SFR mikrokontrolera '51 jest wykorzystywany dwojako – z jednej strony umieszczone są w nim wszystkie (za wyjątkiem licznika rozkazów i czterech banków rejestrów R0 – R7) rejestry sterujące pracą mikrokontrolera lub wykorzystywane bezpośrednio przy wykonywaniu programu; z drugiej zaś strony rejestry SFR stanowią rodzaj interfejsu pomiędzy mikroprocesorem a układami peryferyjnymi umieszczonymi wewnątrz mikrokontrolera. Wszystkie operacje sterowania wewnętrznymi układami peryferyjnymi oraz przesyłania danych między nimi a CPU, odbywają się właśnie za pośrednictwem rejestrów SFR. Dostęp do każdego z tych rejestrów możliwy jest wyłącznie w trybie adresowania rejestrowego.



Tab. 1.2 Adresy rejestrów specjalnych i ich funkcje

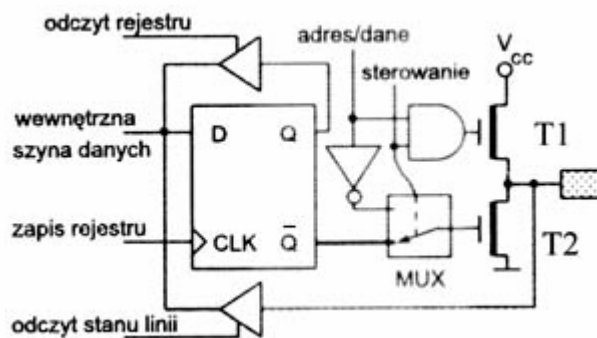
<b>Rejestr</b>	<b>Adres</b>	<b>Funkcja</b>
<b>P0</b>	80h	Port wejścia – wyjścia 0
<b>SP</b>	81h	Wskaźnik stosu
<b>DPL</b>	82h	Rejestr indeksowy DPTR (mniej znaczący bajt)
<b>DPH</b>	83h	Rejestr indeksowy DPTR (bardziej znaczący bajt)
<b>PCON</b>	87h	Rejestr sterujący stanami uśpienia
<b>TCON</b>	88h	Rejestr sterujący układów czasowych 0 i 1
<b>TMOD</b>	89h	Rejestr trybu pracy układów czasowych 0 i 1
<b>TL0</b>	8Ah	Rejestr danych układu czasowego 0 (mniej znaczący bajt)
<b>TL1</b>	8Bh	Rejestr danych układu czasowego 1 (mniej znaczący bajt)
<b>TH0</b>	8Ch	Rejestr danych układu czasowego 0 (bardziej znaczący bajt)
<b>TH1</b>	8Dh	Rejestr danych układu czasowego 1 (bardziej znaczący bajt)
<b>P1</b>	90h	Port wejścia – wyjścia 1
<b>SCON</b>	98h	Rejestr sterujący układu transmisji szeregowej
<b>SBUF</b>	99h	Rejestr danych układu transmisji szeregowej
<b>P2</b>	A0h	Port wejścia – wyjścia 2
<b>IE</b>	A8h	Rejestr maski przerw
<b>P3</b>	B0h	Port wejścia – wyjścia 3
<b>IP</b>	B8h	Rejestr priorytetów przerw
<b>PSW</b>	D0h	Słowo stanu procesora
<b>ACC</b>	E0h	Akumulator
<b>B</b>	F0h	Rejestr ogólnego przeznaczenia

### 1.1.5 Porty wejścia – wyjścia

Linie wejścia – wyjścia mikrokontrolera 8051 pogrupowane są w cztery 8-bitowe porty: P0, P1, P2 i P3. Wszystkie linie portów P0 – P3 pracujące jako standardowe linie wejścia – wyjścia są niezależne pod względem kierunku przesyłania informacji. Rejestry P0 – P3 złożone z przerzutników poszczególnych linii wchodzi w skład rejestrów specjalnych, przy czym możliwe jest adresowanie ich poszczególnych bitów, co umożliwia bezpośrednie sterowanie pojedynczymi liniami wejścia – wyjścia.

#### 1.1.5.1 Port P0

Układ P0 oprócz funkcji wejścia – wyjścia pełni rolę szyny danych multipleksowanej z mniej znaczącą częścią szyny adresowej podczas realizacji dostępu do pamięci zewnętrznej. Dane z szyny danych odczytywane są w taki sam sposób jak przy pracy portu jako wejście – wyjście.



Wykonanie dostępu do pamięci zewnętrznej powoduje zapisanie samych jedynek do rejestru P0, niszcząc tym samym przechowywaną w nim informację. Z tego powodu korzystanie z pamięci zewnętrznej wyklucza w zasadzie możliwość korzystania z P0 jako wejścia – wyjścia. Każdą linię portu P0 można obciążyć ośmioma wejściami TTL-LS.

#### 1.1.5.2 Port P1

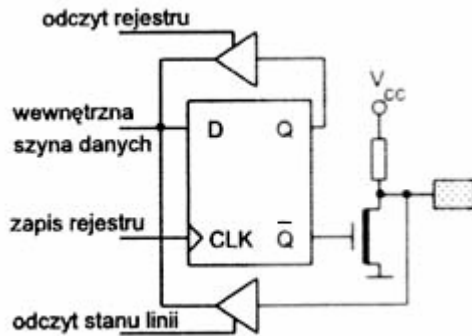
Port P1 jak i porty P2 i P3 posiadają wewnętrzne, stałe wartości rezystorów pullup, przez co nazywane są portami pseudo – dwukierunkowymi. Kiedy porty skonfigurowane są jako wejścia, rezystory pullup stają się źródłem prądowym dla przyłączonego obciążenia. Wszystkie zatraski portów po resecie ustawiane są w stan 1. Gdy do zatrasku portu zostanie zapisana wartość 0, zatrask ten należy ponownie ustawić w stan 1 – by port mógł nadal pracować jako wejście.

Linie układu P1 nie pełnią żadnych dodatkowych funkcji. Można je obciążać czterema wejściami TTL-LS.



### 1.1.5.3 Port P2

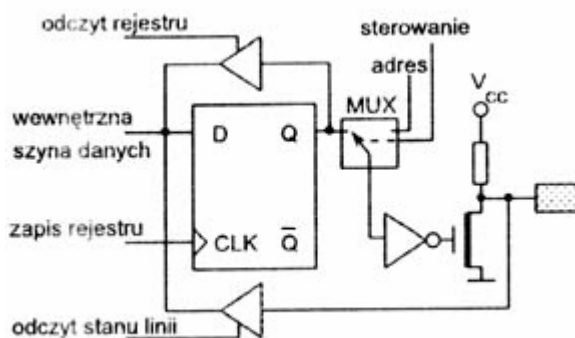
Zasada działania linii portu P2 jest taka sama jak portu P1, pod warunkiem, że nie są wykorzystywane dodatkowe funkcje tego układu (stan niski na linii sterowanie). Podczas dostępu do pamięci zewnętrznej, port P2 pełni rolę bardziej znaczącej części szyny adresowej (A8-A15).



W przypadku realizacji dostępu do zewnętrznej pamięci danych przy użyciu rejestrów indeksowych R0 i R1 mikroprocesor ustawia tylko młodsze osiem bitów adresu, a stan portu P2 nie zmienia się. Linie portu P2 można obciążać czterema wejściami TTL-LS.

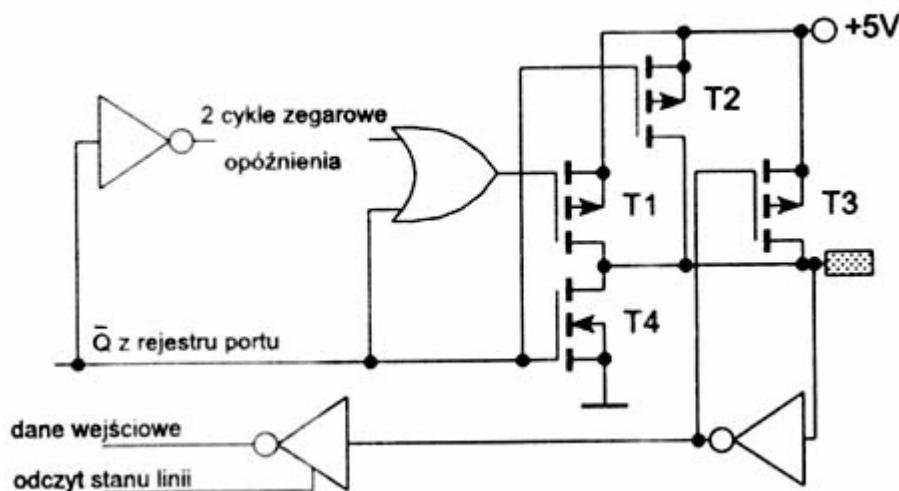
### 1.1.5.4 Port P3

W porcie P3 wszystkie linie pełnią dodatkowe funkcje, jednak w podstawowym trybie pracy jako wejście – wyjście działanie portu P3 nie różni się w niczym od działania portów P1 i P2. Ponadto port P3 pełni funkcję wejść dla układów czasowo – licznikowych (P3.4 - /T0 i P3.5 - /T1), dla układów przerwań (P3.2 - /INT0 i P3.3 - /INT1), wyjściami sterującymi zapisem i odczytem zewnętrznej pamięci danych (P3.6 - /WR i P3.7 - /RD), jak i wejście – wyjście układu transmisji szeregowej (P3.0 - /RXD i P3.1 - /TXD).



W zależności od tego czy realizowana funkcja dodatkowa jest wyjściem (TXD, /RD, /WR), czy wejściem (pozostałe oprócz RXD) lub pełni obie funkcje (RXD), różna jest struktura linii portu. Linie portu P3 można obciążać czterema wejściami TTL-LS.

Tranzystor symbolizujący stopień wyjściowy linii portów jest w rzeczywistości bardziej skomplikowaną strukturą, której schemat przedstawia rysunek.



Zapis do przerzutnika następuje w ostatniej fazie cyklu maszynowego, a wpisana wartość pojawia się na wyjściu linii portu w pierwszej fazie następnego cyklu maszynowego - wyjściowy bufor linii portu sprawdza stan przerzutnika tylko podczas pierwszej fazy każdego cyklu zegarowego, a wykryty stan utrzymuje przez czas trwania drugiej fazy. Zmiana zawartości przerzutnika ze stanu niskiego na wysoki powoduje włączenie tranzystora T1, który pozostaje aktywny przez dwa cykle zegarowe. Tranzystor ten ma dużą wydajność prądową, spełnia rolę rezystora podciągającego o małej wartości rezystancji, a jego włączenie ma na celu przyspieszenie przejścia ze stanu logicznego 0 do 1.

### 1.1.6 Układ transmisji szeregowej

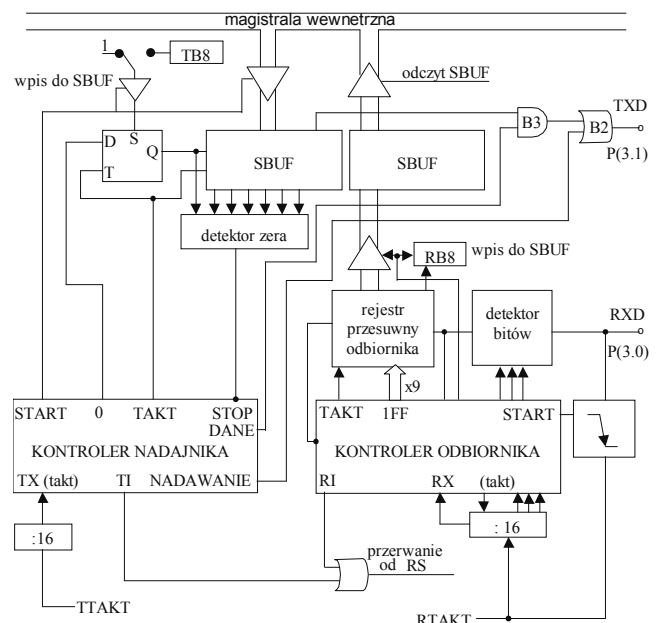
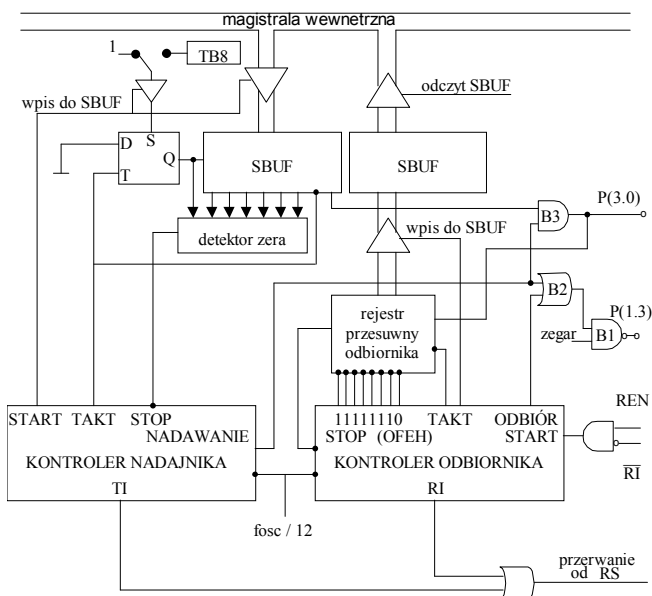
Łącze szeregowe mikrokontrolera 8051 umożliwia prowadzenie synchronicznej lub asynchronicznej transmisji danych. Transmisja asynchroniczna jest transmisją full-duplex, natomiast synchroniczna jest transmisją half-duplex. Układ odbiornika posiada bufor odbiorczy, co pozwala na realizację procesu odbierania kolejnej danej przed pobraniem przez mikroprocesor danej już

odebranej. Jest to jednak bufor jednobajtowy, więc nie odczytanie danej przez mikroprocesor przed końcem kolejnej transmisji powoduje utratę odebranego wcześniej bajtu.

Podczas realizacji transmisji asynchronicznej nadawane dane wysyłane są linią TXD, zaś odbierane przez linię RXD. Podczas transmisji synchronicznej dane są odbierane i nadawane po linii RXD, a na linię TXD wysyłany jest sygnał taktujący.

Do konfiguracji pracy układu transmisji szeregowej służy rejestr specjalny SCON – 98h. Układ może pracować w czterech trybach:

- **tryb 0** – charakteryzuje się transmisją synchroniczną, stałą prędkością transmisji równą  $\frac{1}{12} f_{XTAL}$ , 8 bitów danych przesyłanych jest po linii RXD począwszy od najmniej znaczącego bitu, a linią TXD wysyłane są sygnały taktujące;
- **tryb 1** – charakteryzuje się transmisją asynchroniczną z płynnie regulowaną prędkością przesyłu danych, pierwszym bitem jest bit startu „0”, 8 bitów danych i bit stopu „1”;
- **tryb 2** – transmisja asynchroniczna, dwie prędkości przesyłu danych zależne od częstotliwości zegara taktującego, przesyłany pierwszy bit startu „0”, 9 bitów danych i bit stopu „1”;
- **tryb 3** – podobnie jak w trybie pierwszym, z tą różnicą, że zamiast ośmiu przesyłanych jest dziewięć bitów danych.



Schemat układu portu szeregowego pracującego w trybie 0

Schemat układu portu szeregowego pracującego w trybie 1

### 1.1.7 Układ przerwań

Mikrokontroler 8051 jest wyposażony w priorytetowy, dwupoziomowy układ przerwań. Układ przerwań jest specjalizowaną strukturą logiczną, której zadaniem jest monitorowanie stanu wskaźników przerwań i zgłaszanie faktu ustawienia określonego wskaźnika do układu sterowania. W mikrokontrolerze 8051 przerwanie może zostać wywołane przez jedno z pięciu wskaźników. Cztery ze wskaźników umieszczone są w rejestrze TCON – 88h.

Piątym źródłem przerwania jest układu transmisji szeregowej. Przerwanie to jest zgłaszane przez ustawienie dowolnego z bitów RI – 98h lub TI – 99h rejestru SCON – 98h.

- EA - blokowanie wszystkich przerwań. EA = 0 żadne przerwanie nie może być przyjęte. EA = 1 każde przerwanie może być przyjęte pod warunkiem, że odpowiadający mu znacznik jest w stanie 1.
- X - zarezerwowane
- ET2 - blokowanie (ET2 = 0) lub odblokowanie (ET2 = 1) przerwania generowanego przez licznik 2.
- PS - port szeregowy
- ES - blokowanie (ES = 0) lub odblokowanie (ES = 1) przerwania generowanego przez port szeregowy.
- PT1 - licznik 1
- ET1 - blokowanie (ET1 = 0) lub odblokowanie (ET1 = 1) przerwania generowanego przez licznik 1.
- PX1 - przerwanie zewnętrzne z wejścia INT1
- EX1 - blokowanie (EX1 = 0) lub odblokowanie (EX1 = 1) przerwania zewnętrznego z wejścia INT1.
- PT0 - licznik 0
- ET0 - blokowanie (ET0 = 0) lub odblokowanie (ET0 = 1) przerwania generowanego przez licznik 0.
- PX0 - przerwanie zewnętrzne z wejścia INT0
- EX0 - blokowanie (EX0 = 0) lub odblokowanie (EX0 = 1) przerwania zewnętrznego z wejścia INT0.

IE 

EA	X	ET2	ES	ET1	EX1	ET0	EX0
----	---	-----	----	-----	-----	-----	-----

 adres 0A8H IP 

X	X	PT2	PS	PT1	PX1	PT0	PX0
---	---	-----	----	-----	-----	-----	-----

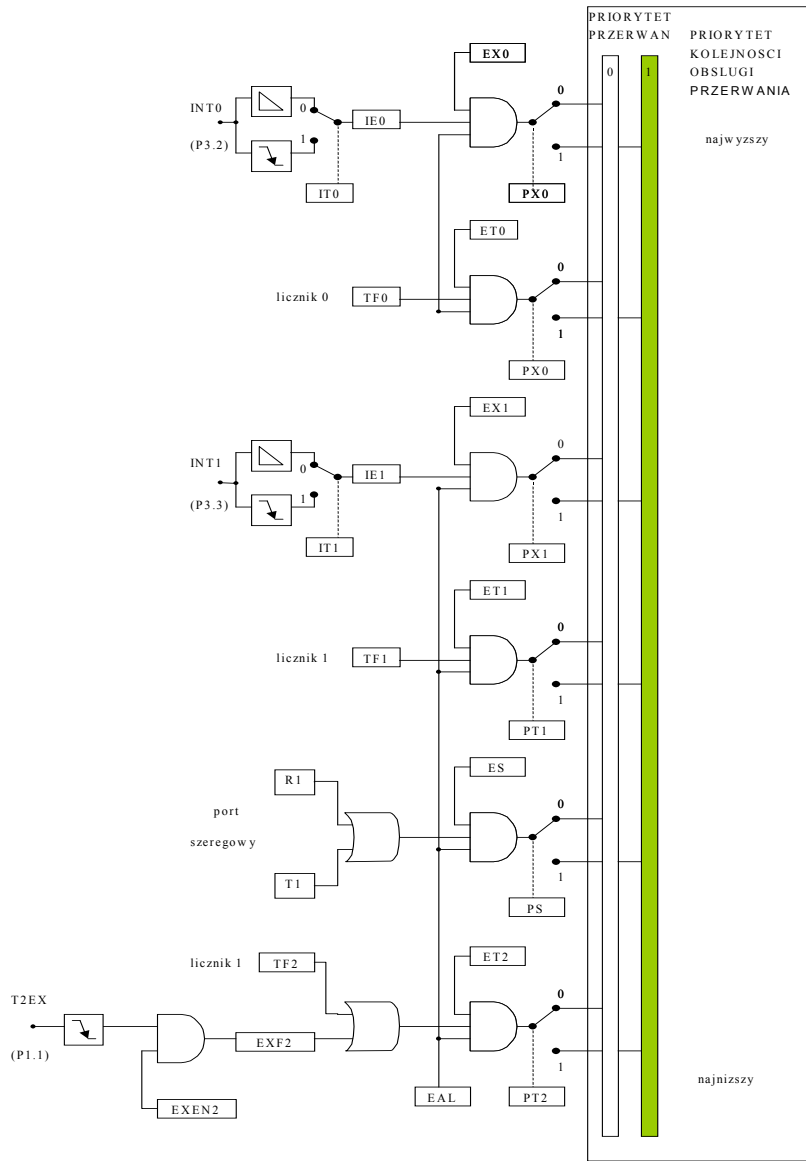
 adres 0B8H

W przypadku przerwań zewnętrznych i od układów czasowych, wskaźniki przerwania są sprzętowo zerowane po przyjęciu zgłoszenia przerwania (za wyjątkiem sytuacji, gdy przerwanie zewnętrzne jest zgłaszane niskim poziomem). Wskaźniki przerwania z układu transmisji szeregowej muszą być zerowane programowo przez procedurę obsługi przerwania, gdyż sprzętowo zerowanie uniemożliwiłoby określenie, który ze wskaźników (RI czy TI) przerwanie wywołał.

Do uaktywniania poszczególnych przerwań i określania ich priorytetów przeznaczone są rejestry sterujące IE – A8h i IP – B8h. Podczas realizacji procedury obsługi przerwania poziomu 0 może nastąpić jej przerwanie przez procedurę obsługi przerwania o poziomie 1 - nie może jednak

wystąpić sytuacja odwrotna. Nie może również wystąpić wzajemne przerywanie procedur obsługi przerwania z tego samego poziomu.

Dodatkowo podczas realizacji programu może wystąpić jednoczesne zgłoszenie dwóch lub więcej przerwania o tym samym poziomie. Powoduje to wybranie do wykonania przez układ przerwania obsługi przerwania o najwyższym priorytecie według kolejności: /INT0 (priorytet najwyższy), TF0, /INT1, TF1, RI+TI (priorytet najniższy). Przyjęcie przerwania powoduje sprzętową generację rozkazu LCALL z adresem procedury obsługi przerwania, właściwym dla każdego przerwania. Przyjęcie przerwania jest możliwe jednak tylko wtedy, gdy obecnie nie jest wykonywane przerwanie o równym lub wyższym priorytecie, trwa aktualne wykonywanie jakiegoś rozkazu (układ obsługi przerwania musi poczekać do zakończenia wykonywania tego rozkazu) lub jeżeli jest wykonywany adres powrotu z procedury obsługi przerwania RETI, rozkaz dostępu do rejestrów IE i IP, lub jakikolwiek rozkaz po nich wykonywany.

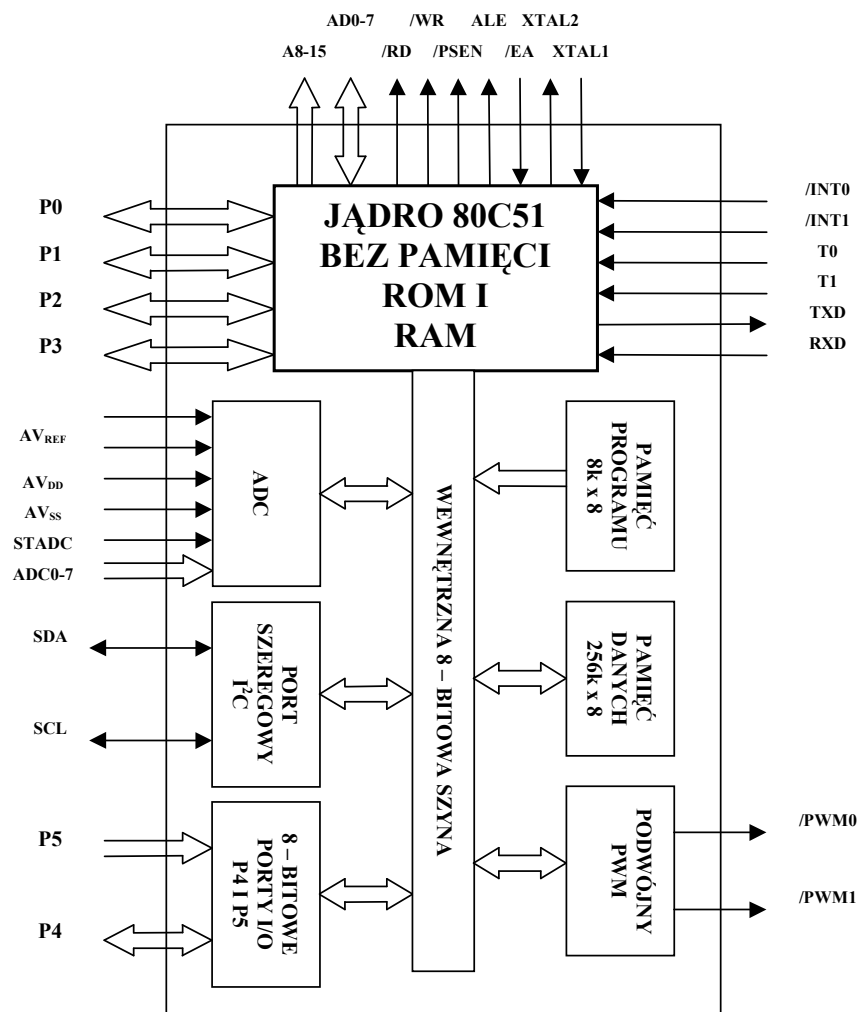


## 1.2 MIKROKONTROLER 80C552

Oprócz standardowych zasobów kontrolera 8051, układ 80C552 zawiera w sobie dodatkowe elementy takie jak: interfejs I<sup>2</sup>C, dodatkowe 128 bajtów pamięci danych, dwa dodatkowe porty wejścia – wyjścia, 10 – bitowy przetwornik A/C posiadający 8 wejść analogowych, dwa przetworniki C/A.

Schemat blokowy budowy wewnętrznej mikrokontrolera 80C552 został przedstawiony na rys.

1.3.



Rys. 1.3 Schemat blokowy mikrokontrolera 80C552

### 1.2.1 Pamięć danych i pamięć programu

Mikrokontroler 80C552 oprócz wszystkich właściwości pamięci 8051 posiada dodatkowe 128 bajtów wewnętrznej pamięci danych umieszczone pod adresami 128-255 (80H- 0FFH). Jak widać,

niektóre adresy pokrywają się z adresami rejestrów specjalnych SFR, jednak uniknięto konfliktu określając sposób dostępu do tego obszaru pamięci. Podobnie jak w mikrokontrolerze 8051 blok rejestrów specjalnych SFR może być adresowany jedynie bezpośrednio, natomiast dodatkowe 128 bajtów pamięci mikrokontrolera 80C552 może być adresowane jedynie indeksowo przy użyciu rejestrów R0 i R1 (sposób dostępu do pamięci danych o adresach poniżej 128 jest taki sam jak w 8051). Na podstawie sposobu adresowania mikrokontroler jest w stanie stwierdzić, czy dane odwołanie dotyczy się bloku rejestrów specjalnych, czy dodatkowej pamięci danych.

Podstawową cechą różniącą mikrokontroler 80C552 od 8051 jest to, że posiada on nie 4kB, a 8kB wewnętrznej pamięci programu. Zasada współpracy z pamięcią wewnętrzną i zewnętrzną nie uległa zmianie w stosunku do 8051. W związku z rozbudowanymi zasobami mikrokontrolera 80C552 zwiększeniu uległ obszar pamięci przeznaczony na procedury obsługi przerwania.

### 1.2.2 Rejestry specjalne

Blok rejestrów specjalnych mikrokontrolera 80C552 jest bardziej rozbudowany w stosunku do układu 8051. Wiąże się to z koniecznością sterowania większą liczbą układów peryferyjnych mikrokontrolera 80C552. Zajmuje on blok pamięci danych o adresach (80h – 0FFh). Oprócz rejestrów SFR swojego poprzednika, blok rejestrów specjalnych układu '552 zawiera także nowe pozycje.

Podobnie jak w układzie 8051, także tutaj możliwe jest wykonywanie operacji na pojedynczych bitach rejestrów o adresach podzielnych przez 8. Adresy poszczególnych bitów wyznacza się identycznie jak dla układu 8051.

Nazwa	Adres	Pełniona funkcja
S0CON	152 (98H)	Zamiast SCON (funkcja bez zmian)
S0BUF	153 (99H)	Zamiast SBUF (funkcja bez zmian)
IEN0	168 (0A8H)	Rejestr maski przerw (zamiast IE)
CML0	169 (0A9H)	Młodszy bajt 16-bitowego rejestru porównującego CM0
CML1	170 (0AAH)	Młodszy bajt 16-bitowego rejestru porównującego CM1
CML2	171 (0ABH)	Młodszy bajt 16-bitowego rejestru porównującego CM2
CTL0	172 (0ACH)	Młodszy bajt 16-bitowego rejestru przechwytyującego CT0
CTL1	173 (0ADH)	Młodszy bajt 16-bitowego rejestru przechwytyującego CT1
CTL2	174 (0AEH)	Młodszy bajt 16-bitowego rejestru przechwytyującego CT2
CTL3	175 (0AFH)	Młodszy bajt 16-bitowego rejestru przechwytyującego CT3
IP0	184 (0B8H)	Podstawowy rejestr priorytetów przerw (zamiast IP)
P4	192 (0C0H)	Port we/wy 4



P5	196 (0C1H)	Port we/wy 5
ADCON	197 (0C2H)	Rejestr sterujący przetwornika A/C
ADCH	198 (0C3H)	Rejestr wynikowy przetwornika A/C
TM2IR	200 (0C8H)	Rejestr wskaźników przerw układu CCU
CMH0	201 (0C9H)	Starszy bajt 16-bitowego rejestru porównującego CM0
CMH1	202 (0CAH)	Starszy bajt 16-bitowego rejestru porównującego CM1
CMH2	203 (0CBH)	Starszy bajt 16-bitowego rejestru porównującego CM2
CTH0	204 (0CDH)	Starszy bajt 16-bitowego rejestru przechwytyjącego CT0
CTH1	205 (0CDH)	Starszy bajt 16-bitowego rejestru przechwytyjącego CT1
CTH2	206 (0CEH)	Starszy bajt 16-bitowego rejestru przechwytyjącego CT2
CTH3	207 (0CFH)	Starszy bajt 16-bitowego rejestru przechwytyjącego CT3
S1CON	216 (0D8H)	Rejestr sterujący interfejsu I <sup>2</sup> C
S1STA	217 (0D9H)	Rejestr stanu interfejsu I <sup>2</sup> C
S1DAT	218 (0DAH)	Rejestr danych interfejsu I <sup>2</sup> C
S1ADR	219 (0DBH)	Rejestr adresowy interfejsu I <sup>2</sup> C
IEN1	232 (0E8H)	Rejestr maski przerw dodatkowych
TM2CON	234 (0EAH)	Rejestr sterujący trybem pracy układu CCU
CTCON	235 (0EBH)	Rejestr sterujący pracą układu CCU w trybie przechwytywania
TML2	236 (0ECH)	Młodszy bajt licznika T2 układu CCU
TMH2	237 (0EDH)	Starszy bajt licznika T2 układu CCU
STE	238 (0EEH)	Rejestr sterujący pracą układu CCU w trybie porównywania
RTE	239 (0EFH)	Rejestr sterujący pracą układu CCU w trybie porównywania
IP1	248 (0F8H)	Rejestr priorytetów dodatkowych przerw zewnętrznych
PWM0	252 (0FCH)	Rejestr wypełnienia impulsów na wyjściu PWM0
PWM1	253 (0FDH)	Rejestr wypełnienia impulsów na wyjściu PWM1
PWMP	254 (0FEH)	Rejestr częstotliwości pracy wyjść PWM
T3	255 (0FFH)	Rejestr licznika czuwającego

Rejestry SFR charakterystyczne dla układu 80C552.

SFR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IEN0	EA 175	EAD 174	ES1 173	ES0 172	ET1 171	EX1 170	ET0 169	EX0 168
IP0	- 191	PAD 190	PS1 189	PS0 188	PT1 187	PX1 186	PT0 185	PX0 184
P4	P4.7 199	P4.6 198	P4.5 197	P4.4 196	P4.3 195	P4.2 194	P4.1 193	P4.0 192
TM2IR	T2OV 207	CMI2 206	CMI1 205	CMI0 204	CTI3 203	CTI2 202	CTI1 201	CTI0 200

S1CON	CR2 223	ENS1 222	STA 221	STO 220	SI 219	AA 218	CR1 217	CR0 216
IEN1	ET2 239	ECM2 238	ECM1 237	ECM0 236	ECT3 235	ECT2 234	ECT1 233	ECT0 232
IP1	PT2 255	PCM2 254	PCM1 253	PCM0 252	PCT3 251	PCT2 250	PCT1 249	PCT0 248
Rejestry SFR charakterystyczne dla 80C552 adresowalne bitowo. Nazwy i adresy poszczególnych bitów.								

### 1.2.3 Układy transmisji szeregowej

Mikrokontroler 80C552 posiada układ transmisji szeregowej identyczny jak w mikrokontrolerze 8051. Zmienione zostały tylko oznaczenia rejestrów sterujących: zamiast SBUF układ '552 posiada rejestr S0BUF – 99h, natomiast zamiast SCON posiada S0CON – 98h, ale funkcje obu rejestrów pozostają bez zmian.

Zmiana nazw rejestrów związana jest z obecnością w układzie '552 drugiego układu transmisji szeregowej. Układ ten jest układem wyspecjalizowanym tylko do obsługi transmisji zachodzącej w standardzie I<sup>2</sup>C.

#### 1.2.3.1 Cechy interfejsu I<sup>2</sup>C

Magistrala tego interfejsu składa się z dwóch dwukierunkowych linii: pierwszej dla sygnału danych - SDA (Serial Data Adres) oraz drugiej dla sygnału zegarowego - SCL (Serial Clock Line). Magistrala umożliwia przesyłanie danych pomiędzy dwoma dowolnymi urządzeniami zgodnie ze zdefiniowanym protokołem :

- inicjalizacja transmisji danych może nastąpić tylko gdy magistrala nie jest zajęta;
- podczas transmisji danych, sygnał na linii SDA musi być stabilny, gdy stan linii SCL jest wysoki, zmiany na SDA podczas wysokiego stanu na SCL są interpretowane jako sygnały sterujące (start transmisji danych, stop transmisji danych, dane ważne).

Każda transmisja inicjowana jest poprzez wystąpienie warunku start i kończona poprzez wystąpienie warunku stop. Ilość bitów transmitowanych pomiędzy warunkami nie jest limitowana. Każde z urządzeń rozpoznawane jest przez unikalny adres przesyłany na początku transmisji. Osiem bitów reprezentuje adres urządzenia slave, natomiast najmniej znaczący bit (LSB) określa kierunek transmisji. Wszystkie urządzenia po wykryciu warunku „start” porównują odebrany adres ze swoim adresem sprzętowym i jeżeli jest on zgodny adresują się jako odbiornik lub nadajnik. Urządzenia mają oprócz funkcji nadajników i odbiorników przypisane statusy typu master i slave. MASTER to

urządzenie, które inicjuje i prowadzi transmisję danych generując sygnały zegarowe. SLAVE to dowolne poprawnie zaadresowane urządzenie.

Możliwe są trzy formaty transmisji :

- master – nadawca, slave – odbiorca;
- master – odbiorca, slave – nadawca;
- ze zmianą kierunku transmisji.

W trzecim formacie przed każdą zmianą kierunku transmisji musi być generowany sygnał start, adres urządzenia slave oraz nowa wartość bitu kierunku. Interfejs dopuszcza możliwość przyłączenia do magistrali kilku urządzeń o statusie master. Aby uniknąć kolizji (obecność kilku urządzeń sterujących sygnałami na magistrali) w systemie I<sup>2</sup>C problem ten rozwiązano stosując arbitraż. Arbitraż oparty na zasadzie kontroli zgodności stanu linii SDA z wartością logiczną bitu wyprowadzonego przez dane urządzenie. Odczyty stanu linii SDA odbywają się w ściśle określonych momentach wyznaczonych sygnałem zegarowym. Jeżeli dwa lub więcej urządzeń stara się wysłać jednocześnie dane na magistralę, to pierwsze które wyśle jedynekę, utraci kontrolę nad łączem. Przedstawione rozwiązanie preferuje urządzenie, które w trakcie arbitrażu wysyła najniższą wartość binarną.

Sygnał zegarowy na magistrali generowany jest zawsze przez urządzenie master, nawet gdy urządzenie to odbiera dane. Jedynym przypadkiem gdy inne urządzenia ingerują w przebieg sygnału zegarowego jest proces arbitrażu oraz przypadek, gdy wolne urządzenie odbiorcze chce obniżyć szybkość transmisji wymuszając niski poziom na linii SCL.

Standardowa szybkość transmisji wynosi 100kbps adresując do 128 urządzeń. Możliwa jest również praca w trybie szybkim, z szybkością 400kbps i zaadresowanie 1024 urządzeń. Liczba układów dołączonych do magistrali zależy jedynie od dopuszczalnej pojemności magistrali – 400pF.

### 1.2.3.2 Interfejs I<sup>2</sup>C mikrokontrolera 80C552

Interfejs I<sup>2</sup>C mikrokontrolera 80C552 może pracować zarówno w trybie urządzenia nadrzędnego jak i podrzędnego, gwarantując pracę z szybkością transmisji do 100kbod. Do sterowania interfejsem służą następujące rejestry: S1CON – D8h – rejestr sterujący, S1STA – D9h – rejestr stanu, S1DAT – DAh – rejestr danych, S1ADR – DBh – rejestr adresowy.

Tab. 1.3 Rejestry sterujące i statusowe interfejsu I<sup>2</sup>C

Rejestr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
S1CON	CR2	ENS1	STA	STO	SI	AA	CR1	CR0

<b>S1STA</b>	SC4	SC3	SC2	SC1	SC0	0	0	0
<b>S1ADR</b>	SA7	SA6	SA5	SA4	SA3	SA2	SA1	GC

**S1CON:**

**ENS1** – bit zezwalający na pracę interfejsu

**STA** – bit sygnału początku transmisji

**STO** – bit sygnału końca transmisji

**SI** – wskaźnik przerwania od interfejsu I<sup>2</sup>C

**AA** – bit określający aktywność interfejsu

**CR2, CR1, CR0** – bity ustalające częstotliwość sygnału taktującego wysyłanego linią SCL przy pracy interfejsu w trybie urządzenia nadrzędnego.

**S1STA:**

**SC4, SC3, SC2, SC1, SC0** – bity kodu stanu interfejsu

**S1ADR:**

**SA7, SA6, SA5, SA4, SA3, SA2, SA1** – 7 bitowy adres własny urządzenia pracującego w trybie slave

**GC** – bit zezwolenia na rozpoznawanie adresu wywołania ogólnego

Rejestr S1DAT zawiera informację przeznaczoną do przekazania na szynę. Podczas wyprowadzania informacji z tego rejestru, na miejsce poszczególnych bitów jest wpisywany aktualny stan linii. W wyniku tego po przesłaniu zawartości rejestru na jej miejscu pojawia się informacja, która rzeczywiście pojawiła się na szynie.

Po wykonaniu każdej operacji (wysłanie lub odebranie informacji lub sygnałów sterujących) modyfikowana jest zawartość rejestru S1STA. Poniższe tabele zawierają opis poszczególnych stanów.

Tab. 1.4 Kody stanu w trybie nadawania jako urządzenie nadrzędne

<b>Kod stanu</b>	<b>Stan interfejsu i szyny</b>
<b>08h</b>	Wysłano sygnał START
<b>10h</b>	Wysłano powtórny sygnał początku transmisji (START zamiast STOP)
<b>18h</b>	Wysłano adres urządzenia i bit nadawania, i odebrano potwierdzenie
<b>20h</b>	Wysłano adres urządzenia i bit nadawania, i odebrano brak potwierdzenia
<b>28h</b>	Wysłano bajt danych i odebrano potwierdzenie
<b>30h</b>	Wysłano bajt danych i nie odebrano potwierdzenia

<b>38h</b>	Utrata kontroli nad szyną podczas nadawania
------------	---

Tab. 1.5 Kody stanu w trybie odbioru jako urządzenie nadrzędne

<b>Kod stanu</b>	<b>Stan interfejsu i szyny</b>
<b>08h</b>	Wysłano sygnał START
<b>10h</b>	Wysłano powtórny sygnał początku transmisji (START zamiast STOP)
<b>38h</b>	Utrata kontroli nad szyną podczas nadawania braku potwierdzenia
<b>40h</b>	Wysłano adres urządzenia i bit odbioru, i odebrano potwierdzenie
<b>48h</b>	Wysłano adres urządzenia i bit odbioru, i odebrano brak potwierdzenia
<b>50h</b>	Odebrano dane i wysłano potwierdzenie
<b>58h</b>	Odebrano dane i wysłano brak potwierdzenia

Tab. 1.6 Kody stanu w trybie odbioru jako urządzenie podrzędne

<b>Kod stanu</b>	<b>Stan interfejsu i szyny</b>
<b>60h</b>	Odebrano własny adres i bit nadawania, i wysłano potwierdzenie
<b>68h</b>	Utrata kontroli nad szyną podczas nadawania adresu i bitu kierunku, Odebrano własny adres i bit zapisu, i wysłano potwierdzenie
<b>70h</b>	Odebrano adres wywołania ogólnego i wysłano potwierdzenie
<b>78h</b>	Utrata kontroli nad szyną podczas nadawania adresu i bitu kierunku, Odebrano adres wywołania ogólnego i wysłano potwierdzenie
<b>80h</b>	Interfejs został zaadresowany, odebrano dane i wysłano potwierdzenie.
<b>88h</b>	Interfejs został zaadresowany, odebrano dane i wysłano brak potwierdzenia
<b>90h</b>	Interfejs został zaadresowany adresem wywołania ogólnego, Odebrano dane i wysłano potwierdzenie
<b>98h</b>	Interfejs został zaadresowany adresem wywołania ogólnego, Odebrano dane i wysłano brak potwierdzenia
<b>A0h</b>	Odebrano sygnał STOP, lub powtórny sygnał początku transmisji (START zamiast STOP) podczas pracy jako zaadresowane urządzenie podrzędne

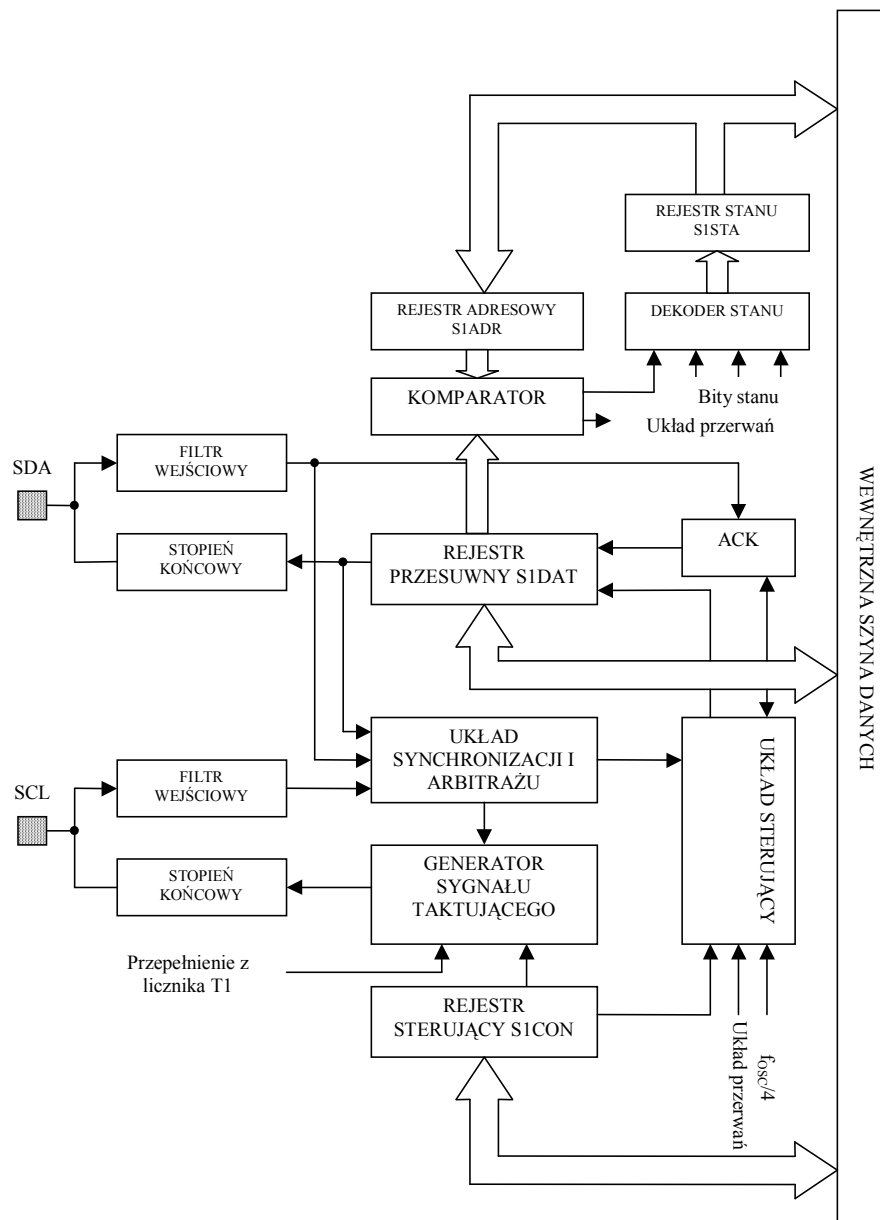
Tab. 1.7 Kody stanu w trybie nadawania jako urządzenie podrzędne

<b>Kod stanu</b>	<b>Stan interfejsu i szyny</b>
<b>A8h</b>	Odebrano własny adres i bit odbioru, i wysłano potwierdzenie

<b>B0h</b>	Utrata kontroli nad szyną podczas nadawania adresu i bitu kierunku, Odebrano własny adres i bit odbioru, i wysłano potwierdzenie
<b>B8h</b>	Wysłano dane i odebrano potwierdzenie
<b>C0h</b>	Wysłano dane i odebrano brak potwierdzenia
<b>C8h</b>	Wysłano ostatni bajt danych (AA=0) i odebrano potwierdzenie

Tab. 1.8 Kody stanu w niejednoznacznych stanach interfejsu

<b>Kod stanu</b>	<b>Stan interfejsu i szyny</b>
<b>00H</b>	Błąd transmisji wskutek niedozwolonego sygnału STOP lub START, Lub wejście interfejsu w stan nieokreślony w wyniku zakłóceń
<b>F8H</b>	Brak informacji o stanie interfejsu (nie jest ustawiany wskaźnik przerwania SI)



Rys. 1.4 Schemat struktury interfejsu I<sup>2</sup>C w mikrokontrolerze 80C522

Układy filtrów wejściowych mają za zadanie jednoznaczną dyskryminację stanu logicznego linii SDA i SCL zgodnie ze standardami interfejsu I<sup>2</sup>C. Sygnały wejściowe synchronizowane są z wewnętrznym układem taktującym i zakłócenia krótsze niż 3 okresy sygnału zegarowego są odfiltrowywane. Stopnie wyjściowe interfejsu mają minimalną obciążalność wynoszącą 3mA prądu wpływającego przy napięciu wyjściowym poniżej 0.4V. Omawiane wyjścia nie mają wewnętrznych diod zabezpieczających podłączonych do wyprowadzeń napięcia zasilania V<sub>DD</sub>, dzięki czemu możliwe jest wyłączenie zasilania mikrokontrolera bez wpływu na pracę magistrali I<sup>2</sup>C.

Układ komparatora porównuje odebrany 7 – bitowy adres z własnym adresem urządzenia podrzędnego (S1ADR). Odebrany bajt adresu jest również porównywany z adresem wywołania ogólnego. Wykrycie którejkolwiek równości powoduje ustawienie odpowiedniego kodu stanu i wygenerowanie przerwania.

Układ arbitrażu funkcjonuje jedynie w trybie pracy jako urządzenie nadrzędne. Układ ten sprawdza, czy każdy bit nadawany jako „1” wywołuje stan wysoki linii SDA. Jeżeli jakiegokolwiek urządzenie podłączone do magistrali wymusi wówczas na linii SDA stan niski, to kontrola nad szyną przejmowana jest przez to urządzenie, z tym, że interfejs nadal na linię SCL wysyła impulsy taktujące, aż do zakończenia przesyłania bieżącej informacji. Kontrola nad szyną może być utracona także podczas pracy w trybie odbioru jako układ nadrzędny, lecz tego rodzaju utrata kontroli może wystąpić tylko podczas zwracania bitu braku potwierdzenia. Może się to zdarzyć tylko przy końcu nadawania bajtu, tak więc interfejs nie musi wysyłać dalszych impulsów taktujących. Jeżeli w trakcie pracy jako układ nadrzędny magistrala zostanie przejęta przez inne urządzenie, interfejs przełącza się natychmiast w tryb pracy urządzenia podrzędnego, aby w razie konieczności mógł wykryć w trakcie aktualnej transmisji swój własny adres.

Generator sygnału taktującego wytwarza impulsy wysyłane linią SCL tylko podczas pracy interfejsu w trybie urządzenia nadrzędnego. Wypełnienie sygnału taktującego wynosi normalnie 50%, jednak może się zmienić w wyniku działania układu synchronizacji. Interfejs I<sup>2</sup>C mikrokontrolera 80C552 wymusza stan niski na linii SCL po przesłaniu każdego bajtu, który otrzymał potwierdzenie. Ustawiany jest wówczas wskaźnik przerwania SI, a zwolnienie linii SCL następuje po wyzerowaniu tego wskaźnika.

Układ taktowania i sterowania wytwarza sygnały sterujące wykorzystywane przy odbiorze i nadawaniu pojedynczego bajtu danych. Zadaniem tego bloku jest wytwarzanie impulsów przesuujących zawartość rejestru S1DAT, sterowanie komparatorem, wytwarzanie i detekcja sygnałów START i STOP, nadawanie i odbiór bitów potwierdzenia, sterowanie w trybie pracy układu nadrzędnego i podrzędnego, zgłaszanie przerwania i testowanie stanu magistrali I<sup>2</sup>C.

Dekoder stanu interfejsu wykorzystuje różne wewnętrzne sygnały i na ich podstawie generuje 5 – bitowy kod informujący o aktualnym stanie interfejsu. Kod ten może być wykorzystany przez procedurę obsługi przerwania, która w zależności od stanu rejestru S1STA (w którym znajduje się kod) wywoła odpowiedni podprogram obsługujący dane zdarzenie. Trzy najmłodsze bity rejestru S1STA są zawsze równe „0”, co pozwala na wykorzystanie zawartości tego rejestru jako wektora adresowego (początki ewentualnych procedur będą rozmieszczone w odstępach co 8 bajtów).



## 1.2.4 Porty wejścia – wyjścia

Porty P0, P2, P3 mikrokontrolera 80C552 posiadają wszystkie właściwości portów 8051. Wyjątkiem są linie portu P1, które pełnią także dodatkowe funkcje: linie P1.0 – P1.3 obsługują sygnały CT0I – CT3I układu CCU, linie P1.4, P1.5 odpowiadają sygnałom T2 i RT2 układu czasowego T2, natomiast linie P1.6 i P1.7 tworzą linie magistrali I<sup>2</sup>C (odpowiednio SCL i SDA).

Mikrokontroler '552 posiada także dwa dodatkowe porty: P4 i P5.

### 1.2.4.1 Port P4

Podczas pracy portu jako standardowe wejście – wyjście zasada działania nie odbiega od działania pozostałych portów. Podczas realizacji dodatkowej funkcji port jest wykorzystywany jako wyjścia sygnałów generowanych przez układ CCU mikrokontrolera. Wówczas linie portu pełnią następujące funkcje: P4.0 – P4.5 odpowiadają sygnałom CMSR0 – CMSR5, natomiast linie P4.6 i P4.7 odpowiadają sygnałom CMT0 i CMT1.

Pod względem sprzętowym dodatkowa funkcja portu P4 jest realizowana w odmienny sposób niż ma to miejsce w pozostałych portach.

### 1.2.4.2 Port P5

Port P5 może pracować wyłącznie jako wejście. Zapis danej do rejestru P5 nie daje żadnych efektów, natomiast odczyt rejestru P5 jest równoważny z odczytem stanów logicznych występujących na wyprowadzeniach mikrokontrolera. Sygnał z wyprowadzenia zewnętrznego jest podawany na wewnętrzną magistralę za pośrednictwem bufora z wejściem Schmitta, co pozwala na pozbawiony zakłóceń odczyt sygnałów wolnozmiennych, o łagodnych zboczach. Możliwość odczytania stanu logicznego panującego na wyprowadzeniu portu jest dodatkową funkcją portu P5, gdyż jego podstawowym zadaniem jest dostarczenie sygnału analogowego z wyprowadzenia do wewnętrznego przetwornika A/C mikrokontrolera. Możliwe jest doprowadzenie poprzez linie P5 ośmiu sygnałów analogowych, z których jeden może zostać wybrany i poddany procesowi digitalizacji.

## 1.2.5 Przetwornik A/C

Przetwornik A/C mikrokontrolera 80C552 jest przetwornikiem 10 – bitowym, w którym przetwarzanie A/C jest dokonywane metodą sukcesywnej aproksymacji, czyli przez określanie wartości kolejnych bitów wyniku na drodze porównywania napięcia mierzonego z napięciem uzyskiwanym z przetwornika cyfrowo – analogowego. Przetwornik C/A jest zrealizowany w postaci

1024 – elementowej drabinki rezystorów. Drabinka ta jest włączona między wyprowadzenia mikrokontrolera  $AV_{ref+}$  i  $AV_{ref-}$ , do których należy doprowadzić napięcie odniesienia. Takie rozwiązanie umożliwia zawężenie i stosunkowo dowolne określanie zakresu przetwornika przez zmianę napięć odniesienia.

Liniami wejściowymi przetwornika są linie portu P5. Szybkość narastania sygnału wejściowego nie powinna przekraczać wartości  $10\text{mV}/\mu\text{s}$  – wywołane jest to brakiem buforów wejściowych oraz znaczną rezystancją kluczy multiplexera (0.5 do 3 kiloomów).

Do współpracy przetwornika z mikrokontrolerem służą dwa rejestry: ADCON – C2h i ADCH – C3h. Rejestr ADCH zawiera wartość będącą wynikiem operacji przetwarzania A/C, natomiast rejestr ADCON jest rejestrem sterującym.

Cykl przetwarzania wyzwalany jest przez ustawienie bitu ADCS. Bit ten może być ustawiany programowo lub sprzętowo wskutek opadającego zbocza sygnału na wyprowadzeniu STADC. Sprzętowe wyzwalanie przetwornika może być zablokowane za pomocą bitu ADEX. Zakończenie konwersji sygnalizowane jest ustawieniem wskaźnika przerwania ADCI. Dopóki bit ADCI = 1 nie jest możliwe zainicjowanie kolejnego procesu konwersji. Bity ADCI i ADCS pozwalają określić aktualny.

Wybór wejścia analogowego należy określić przed rozpoczęciem konwersji za pomocą bitów AADR2 – AADR0. Zmiana źródła sygnału podczas konwersji jest niemożliwa. Po zakończonej konwersji możliwe jest pobranie jej wyniku poprzez odczyt rejestru ADCH oraz bitów ADC.1 i ADC.0 zawierających najmłodsze bity wyniku.

## 1.2.6 Przetworniki C/A typu PWM

Mikrokontroler 80C552 jest wyposażony w dwa wyjścia PWM o programowanej częstotliwości powtarzania i wypełnienia generowanych przebiegów.

Pracą układów PWM sterują następujące rejestry:

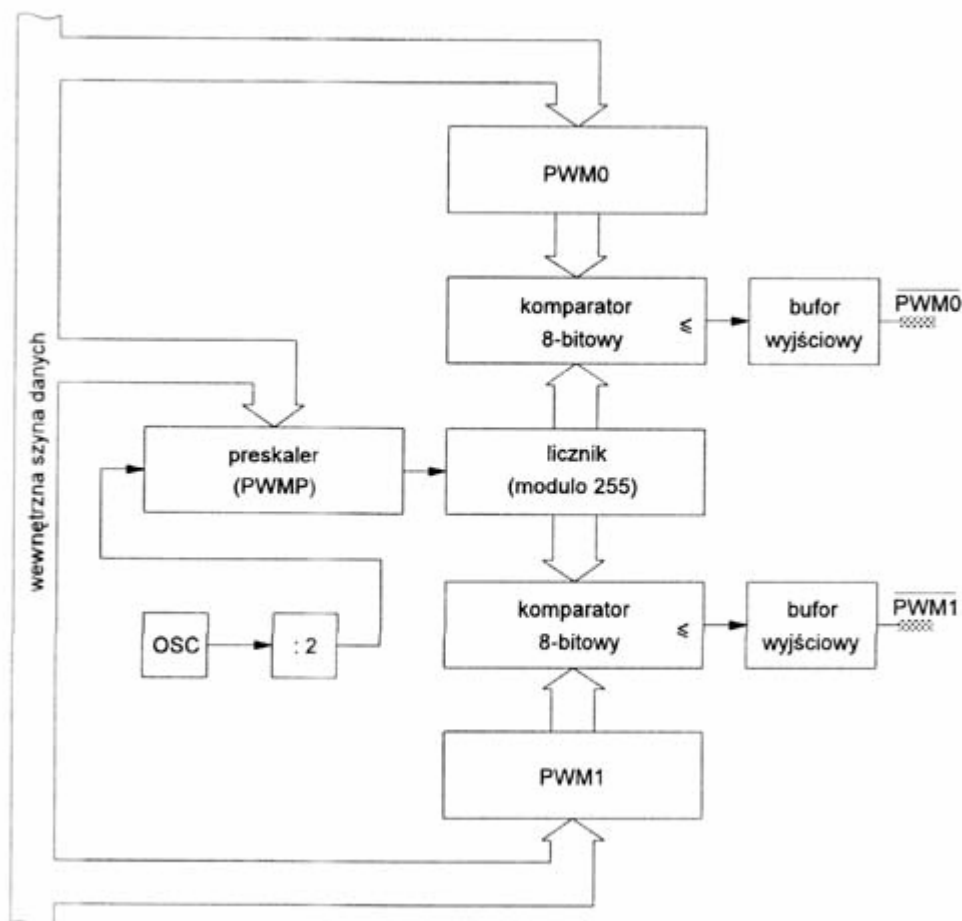
- PWMP – rejestr częstotliwości pracy wyjść PWM;
- PWM0 – rejestr współczynnika wypełnienia na wyjściu /PWM0;
- PWM1 – rejestr współczynnika wypełnienia na wyjściu /PWM1.

Częstotliwość powtarzania impulsów jest wspólna dla obu wyjść i jest regulowana za pomocą programowanego dzielnika częstotliwości zegarowej mikrokontrolera, którego wyjście jest połączone z wejściem licznika mod 255. Częstotliwość przepelniania się licznika (a tym samym częstotliwość

impulsów na wyjściach PWM) określana jest zawartością rejestru PWMP według zależności:

$$f_{PWM} = \frac{f_{XTAL}}{2 \cdot 255 \cdot (PWM + 1)}$$

Podczas pracy układu PWM, stan licznika mod 255 porównywany jest z zawartością rejestrów PWM0 i PWM1. Jeżeli zawartość któregoś rejestru PWMn jest większa od zawartości licznika, wyjście odpowiadające danemu rejestrowi jest w stanie niskim. Gdy zawartość licznika zrówna się lub przewyższy zawartość danego rejestru, to odpowiadające mu wyjście ustawione będzie w stan wysoki. Współczynnik wypełnienia przebiegów może być regulowany od 0% (wartość 0 w rejestrze PWMn) do 100% (wartość 255 w rejestrze PWMn) i może być regulowany ze skokiem równym 1/255 niezależnie dla każdego wyjścia PWM (zakres 0%-100% został osiągnięty dzięki wykorzystaniu licznika mod 255, a nie zwykłego, 8-bitowego mod 256). Rejestry PWM0 i PWM1 nie są buforowane i zapis nowej wartości do rejestru powoduje natychmiastową reakcję odpowiedniego wyjścia PWM, bez oczekiwania na koniec cyklu pracy przetwornika.



Realizacja przetwornika C/A w oparciu o wyjście PWM polega na dołączeniu do niego filtra dolnoprzepustowego o stałej czasowej dużo mniejszej od okresu powtarzania impulsów. Na wyjściu filtra uzyskuje się napięcie proporcjonalne do wypełnienia wytwarzanego przebiegu.

### **1.2.7 Układ przerwań**

Układ przerwań mikrokontrolera 80C552 nie różni się pod względem zasad funkcjonowania od układu przerwań mikrokontrolera 8051. Ze względu na rozbudowane zasoby mikrokontrolera 80C552, jego układ przerwań ma do obsłużenia więcej urządzeń, zgłaszających w sumie piętnaście przerwań. Z tego względu 80C552 posiada rozbudowany w stosunku do 8051 zespół rejestrów specjalnych, odpowiedzialnych za konfigurację układu przerwań, natomiast wskaźniki przerwań znajdują się najczęściej w rejestrach sterujących odpowiednich układów.